

J1040 U.S. PTO

09/818888



03/27/01

대한민국 특허청

KOREAN INDUSTRIAL
PROPERTY OFFICE

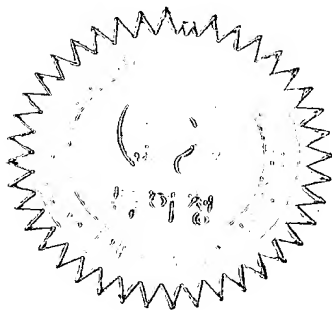
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2000년 제 51124 호
Application Number

출원년월일 : 2000년 08월 31일
Date of Application

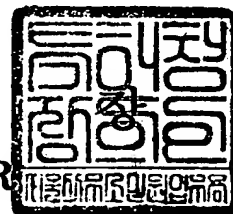
출원인 : 삼성전자 주식회사
Applicant(s)



2000 년 10 월 06 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2000.08.31
【발명의 명칭】	저전력 소모 씨디엠에이 모뎀 칩 설계를 위한 프로세서 클럭 발생 회로 및 클럭 발생 방법
【발명의 영문명칭】	CIRCUIT AND METHOD FOR GENERATING PROCESSOR CLOCK FOR LOW POWER CONSUMPTION CDMA MODEM CHIP DESIGN
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김동윤
【성명의 영문표기】	KIM,DONG YUN
【주민등록번호】	691014-1541317
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 농서리 산24번지
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	5 면 5,000 원

【우선권 주장료】	0	건	0	원
【심사청구료】	8	항	365,000	원
【합계】	399,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】

【요약】

여기에 개시된 모뎀 칩용 프로세서 클럭 신호 발생 회로는, 인에이블 및 디세이블 신호들에 응답해서, 제 1 클럭 신호를 발생하는 제 1 클럭 발생 수단과, 상기 제 1 클럭 신호보다 주파수가 낮은 제 2 클럭 신호를 발생하는 제 2 클럭 발생 수단과, 외부로부터 입력되는 명령어를 디코딩해서 파워-다운 명령어인지 파워-업 명령어인 지를 식별하고, 제어 신호들을 발생하는 디코더와, 상기 제 1 및 제 2 클럭 신호들 가운데 하나를 프로세서 클럭 신호로 출력하는 클럭 선택 수단, 그리고 상기 제 1 클럭 신호의 발생을 활성화/비활성화시키는 제 1 클럭 제어 수단을 포함한다. 이러한 클럭 신호 발생 회로는, 프로세서의 동작 모드를 유틸리티 모드에서 슬립 모드로 전환하기 위한 파워-다운 명령어가 입력되면 프로세서 클럭 신호를 제 1 클럭 신호에서 제 2 클럭 신호로 변경한 후 제 1 클럭 신호의 발생을 중지시킨다. 한편, 프로세서의 동작 모드를 슬립 모드에서 유틸리티 모드로 전환하기 위한 파워-업 명령어가 입력되면 제 1 클럭 신호의 발생이 재개되도록 제어하고 프로세서 클럭 신호를 제 2 클럭 신호에서 제 1 클럭 신호로 변경한다. 이러한 클럭 신호 발생 회로에 의하면 CDMA 모뎀 칩 내에 구비되는 프로세서의 동작 모드가 슬립 모드일 때 소모되는 전력을 최소화할 수 있다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

저전력 소모 씨디엠에이 모뎀 칩 설계를 위한 프로세서 클럭 발생 회로 및 클럭 발생 방법{CIRCUIT AND METHOD FOR GENERATING PROCESSOR CLOCK FOR LOW POWER CONSUMPTION CDMA MODEM CHIP DESIGN}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 메인 클럭 신호와 프로세서 클럭 신호를 보여주는 타이밍도;

도 2는 본 발명의 바람직한 실시예에 따른 클럭 발생 회로를 보여주는 블록도;

도 3A 및 도 3B는 파워-업 명령어 및 파워-다운 명령어가 클럭 발생 회로로 입력될 때의 동작 수순을 보여주는 플로우차트; 그리고

도 4는 도 2에 도시된 클럭 발생 회로에서 발생하는 제 1 및 제 2 클럭 신호와 프로세서 클럭 신호를 보여주는 타이밍도이다.

도면의 주요 부분에 대한 부호의 설명

100 : 클럭 발생 회로 110 : 제 1 클럭 발생부

120 : 제 2 클럭 발생부 130 : 제 1 클럭 제어부

140 : 클럭 선택부 150 : 명령어 디코더

160 : 멀티플렉서

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 통신용 단말기에 구비되는 모뎀 칩에 관한 것으로, 좀 더 구체적으로는 저전력 소모 CDMA(code division multiple access) 모뎀 칩 설계를 위한 프로세서 클럭 발생 회로 및 클럭 발생 방법에 관한 것이다.
- <11> 이동 통신(mobile communication) 분야의 최근 기술 동향은 빠른 데이터 서비스와 소형화를 추구하고 있으며, 그에 따라 멀티 시스템 원-칩화(multi system on one-chip) 기술과 저전력 소모 칩 개발에 주력하고 있다.
- <12> 이동국의 동작 모드별 시간을 분석해 보면, 통계적으로 슬립 모드가 전체 대기 시간의 약 92%를 차지한다. 그러므로, 슬립 모드 동안의 전력 소모를 줄일 수 있다면 모뎀 칩에서 소모되는 전력 소모를 줄일 수 있다.
- <13> 이동국용 모뎀 칩의 전력 소모를 감소시키기 위해 보편적으로 사용되는 방법 가운데 하나는, 모뎀에 구비되는 프로세서의 동작 모드에 따라서 프로세서의 동작 클럭 신호의 속도를 조절하는 것이다.
- <14> 즉, 이동국과 기지국 사이에 제어 신호가 송수신되는 유힬 모드(idle mode) 동안에는 모뎀 칩에서 사용되는 메인 클럭 신호를 프로세서의 클럭 신호로 사용하고, 이동국과 기지국 사이에 데이터 및 제어 신호 송수신이 전혀 이루어지지 않는 슬립 모드(sleep mode) 동안에는 모뎀 칩에서 사용되는 메인 클럭 신호를 분주한 신호를 프로세서 클럭으로 사용하는 것이다.

<15> 이러한 종래 방법의 일 예가 도 1에 도시되어 있다.

<16> 도 1을 참조하면, 유휴 모드 동안에는 주파수가 높은 메인 클럭 신호(M_CLOCK)를 프로세서 클럭 신호(P_CLOCK)로 그대로 사용하나, 슬립 모드 동안에는 상기 메인 클럭 신호(M_CLOCK)를 받아들여 소정 비율로 분주해서 주파수가 낮아진 클럭 신호를 프로세서 클럭 신호(P_CLOCK)로 제공한다.

<17> 이와 같은 방법에 의하면, 슬립 모드 동안 프로세서에서 소비되는 전력은 메인 클럭 신호가 프로세서 클럭 신호로 분주된 비율만큼 감소될 수 있다. 그러나, 빠른 주파수의 메인 클럭 신호(M_CLOCK)가 살아있어야 하고, 클럭 신호 분주를 위한 별도의 로직 회로가 필요하므로, 메인 클럭 신호(M_CLOCK)를 받아들이는 프로세서의 I/O 패드 및 분주 로직 회로에서 소비되는 전력은 어느 정도 유지되어야 한다. 예를 들어, 모뎀 메인 클럭 신호(M_CLOCK)의 주파수가 30MHz인 경우, 입/출력 패드에서 소비되는 전류는 3~4mA에 달한다.

<18> 그러므로, 종래의 방법은 CDMA 모뎀 칩의 전력 소비를 감소시키는데 있어서 한계가 있다.

【발명이 이루고자 하는 기술적 과제】

<19> 따라서, 본 발명의 일 목적은 상술한 제반 문제점을 해결하기 위해 제안된 것으로, CDMA 모뎀 칩의 전력 소모를 감소시키기 위한 프로세서 클럭 발생 회로 및 클럭 발생 방법을 제공하는데 있다.

<20> 본 발명의 다른 목적은 프로세서의 동작 모드가 변경됨에 따라 프로세서 클럭 신호

의 주파수가 변경되는데 소요되는 시간을 최소화할 수 있는 프로세서 클럭 발생 회로 및 클럭 발생 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<21> 상술한 바와 같은 본 발명의 목적을 달성하기 위한 본 발명의 일 특징에 의하면, 모뎀 칩 내에 구비되는 프로세서용 클럭 신호를 발생하는 회로는: 인에이블 및 디세이블 신호들에 응답해서, 제 1 클럭 신호를 발생하는 제 1 클럭 발생 수단, 상기 제 1 클럭 신호보다 주파수가 낮은 제 2 클럭 신호를 발생하는 제 2 클럭 발생 수단, 외부로부터 입력되는 명령어를 디코딩해서 파워-다운 명령어인지 파워-업 명령어인 지를 식별하고, 제어 신호들을 발생하는 디코더, 상기 명령어가 파워-다운 명령어인 경우에, 상기 디코더로부터 출력되는 제어 신호에 응답해서 상기 제 2 클럭 신호를 프로세서 클럭 신호로 출력한 후 클럭 변경 완료 신호를 출력하고, 상기 명령어가 파워-업 명령어인 경우에, 상기 디코더로부터 출력되는 제어 신호와 제 1 클럭 웨이크-업 완료 신호에 응답해서 상기 제 1 클럭 신호를 상기 프로세서 클럭 신호로 출력하는 클럭 선택 수단, 그리고 상기 명령어가 파워-다운 명령어인 경우에, 상기 디코더로부터 출력되는 제어 신호와 상기 클럭 선택 수단으로부터 출력되는 클럭 변경 완료 신호에 응답해서 상기 제 1 클럭 발생 수단의 클럭 발생을 비활성화시키기 위한 상기 디세이블 신호를 출력하고, 그리고 상기 명령어가 파워-업 명령어인 경우에, 상기 디코더로부터 출력되는 제어 신호에 응답해서 상기 제 1 클럭 발생 수단의 클럭 발생을 활성화시키기 위한 상기 인에이블 신호를 출력한 후 소정 시간이 경과되면 상기 제 1 클럭 웨이크-업 완료 신호를 출력하는 제 1 클럭 제어 수단을 포함한다.

<22> 바람직한 실시예에 있어서, 상기 제 1 클럭 발생 수단은, 상기 제 1 클럭 신

호를 발생하는 발진기, 및 상기 인에이블 및 디세이블 신호들에 응답해서 상기 발진기의 동작을 활성화/비활성화시키는 스위치를 포함한다.

<23> 이 실시예에 있어서, 상기 제 1 클럭 제어 수단은, 상기 명령어가 파워-업 명령어인 경우에, 상기 제 1 클럭 발생 수단의 클럭 발생을 인에이블하기 위한 상기 인에이블 신호를 출력한 후, 상기 발진 회로가 안정된 제 1 클럭 신호를 출력할 때까지 소요되는 발진 회로 웨이크-업 시간이 경과되면 상기 제 1 클럭 웨이크-업 완료 신호를 출력한다.

<24> 바람직한 실시예에 있어서, 상기 클럭 선택 수단은, 상기 디코더로부터 출력되는 제어 신호에 응답해서, 상기 명령어가 파워-다운 명령어인 경우에 상기 제 2 클럭 신호를 선택하고, 상기 파워-업 명령어인 경우에 상기 제 1 클럭 신호를 선택하기 위한 선택 신호를 출력하는 클럭 선택 신호 발생 수단, 및 상기 선택 신호에 응답해서 상기 제 1 및 제 2 클럭 신호들 가운데 하나를 상기 프로세서 클럭 신호로 출력하는 멀티플렉서를 포함한다.

<25> 바람직한 실시예에 있어서, 상기 디코더, 클럭 선택 수단, 및 제 1 클럭 제어 수단은 상기 프로세서 내에 원-칩으로 구성된다.

<26> 바람직한 실시예에 있어서, 상기 모뎀 칩은 CDMA(code division multiple access)용 모뎀 칩이다.

<27> 상술한 바와 같은 본 발명의 목적을 달성하기 위한 본 발명의 다른 특징에 의하면, 제 1 클럭 신호를 발생하는 제 1 클럭 발생기와 상기 제 1 클럭 신호보다 주파수가 낮은 제 2 클럭 신호를 발생하는 제 2 클럭 발생기를 포함하는 모뎀 칩 내에 구비된 프로세서용 클럭 신호를 발생하는 방법은: 외부로부터 입력되는 명령어를 디코딩해서 파워-다

은 명령어인지 파워-업 명령어인지의 여부를 판별하는 단계를 포함한다. 상기 판별 단계에서 상기 명령어가 파워-다운 명령어로 판별된 경우, 프로세서로 제공되는 클럭 신호를 상기 제 2 클럭 신호로 선택하는 단계와, 클럭 변경 완료 신호를 발생하는 단계, 및 상기 1 클럭 신호의 발생이 중지되도록 상기 제 1 클럭 발생기를 제어하는 단계를 포함한다. 상기 판별 단계에서 상기 명령어가 파워-업 명령어로 판별된 경우, 상기 제 1 클럭 신호의 발생이 재개되도록 상기 제 1 클럭 발생기를 제어하는 단계, 상기 제 1 클럭 발생기의 웨이크-업 시간을 카운트하는 단계, 상기 웨이크-업 카운트 값이 미리 설정된 웨이크-업 완료 시간 값에 도달하였는지의 여부를 판별하는 단계, 상기 웨이크-업 카운트 값이 미리 설정된 웨이크-업 완료 시간 값에 도달하지 않은 경우, 상기 카운트 단계를 반복하는 단계, 및 상기 웨이크-업 카운트 값이 미리 설정된 웨이크-업 완료 시간 값에 도달한 경우, 상기 프로세서로 제공되는 클럭 신호를 상기 제 1 클럭 신호로 선택하는 단계를 포함한다.

<28> 이 실시예에 있어서, 상기 웨이크-업 완료 시간은, 상기 제 1 클럭 발생기가 안정된 제 1 클럭 신호를 출력할 때까지 소요되는 시간이다.

<29> (작용)

<30> 이와 같은 장치에 의해서, CDMA 모뎀 칩 내에 구비되는 프로세서의 동작 모드가 슬립 모드일 때 소모되는 전력을 최소화할 수 있다.

<31> (실시예)

<32> 이하 본 발명에 따른 실시예를 첨부된 도면 도 2 내지 도 4를 참조하여 상세히 설명한다.

<33> 여기에 개시된 클럭 발생 회로는 인에이블 및 디세이블 신호들에 응답해서, 제 1 클럭 신호를 발생하는 제 1 클럭 발생 수단과, 상기 제 1 클럭 신호보다 주파수가 낮은 제 2 클럭 신호를 발생하는 제 2 클럭 발생 수단과, 외부로부터 입력되는 명령어를 디코딩해서 파워-다운 명령어인지 파워-업 명령어인 지를 식별하고, 제어 신호들을 발생하는 디코더와, 상기 제 1 및 제 2 클럭 신호들 가운데 하나를 프로세서 클럭 신호로 출력하는 클럭 선택 수단, 그리고 상기 제 1 클럭 신호의 발생을 활성화/비활성화시키는 제 1 클럭 제어 수단을 포함한다. 이러한 클럭 신호 발생 회로는, 프로세서의 동작 모드를 유틸리티 모드에서 슬립 모드로 전환하기 위한 파워-다운 명령어가 입력되면 프로세서 클럭 신호를 제 1 클럭 신호에서 제 2 클럭 신호로 변경한 후 제 1 클럭 신호의 발생을 중지시킨다. 한편, 프로세서의 동작 모드를 슬립 모드에서 유틸리티 모드로 전환하기 위한 파워-업 명령어가 입력되면 제 1 클럭 신호의 발생이 재개되도록 제어하고 프로세서 클럭 신호를 제 2 클럭 신호에서 제 1 클럭 신호로 변경한다. 이러한 클럭 신호 발생 회로에 의하면 CDMA 모델 칩 내에 구비되는 프로세서의 동작 모드가 슬립 모드일 때 소모되는 전력을 최소화할 수 있다.

<34> 도 2는 본 발명의 바람직한 실시예에 따른 클럭 발생 회로를 보여주는 블록도이다.

<35> 도 2를 참조하면, 모델 칩 내에 구비되는 클럭 발생 회로(100)는 제 1 클럭 발생부(110), 제 2 클럭 발생부(120), 제 1 클럭 제어부(130), 클럭 선택부(140), 명령어 디코더(150), 그리고 멀티플렉서(160)를 포함한다. 상기 제 1 클럭 제어부(130), 클럭 선택부(140), 명령어 디코더(150), 그리고 멀티플렉서(160)는 프로세서 내에 원-칩(one-chip)으로 구성될 수 있다.

<36> 상기 제 1 클럭 발생부(110)는 크리스탈 발진기(crystal oscillator; 112)와 상기

크리스탈 발진기(112)의 양단과 접지 전압 사이에 각각 연결된 커패시터들(111, 112), 버퍼(113), 그리고 상기 버퍼(113)의 출력단과 상기 크리스탈 발진기(114)의 일단 사이에 연결된 스위치(115)를 포함한다. 상기 스위치(114)는 제 1 클럭 제어부(130)로부터 입력되는 스위칭 온/오프 신호들(ON/OFF)에 의해 온/오프 제어된다. 다시 말하면, 상기 제 1 클럭 제어부(130)로부터 입력되는 스위칭 온 신호(ON)에 응답해서, 상기 스위치(114)가 온될 때 상기 제 1 클럭 신호(CLOCK1)가 발생되고, 상기 제 1 클럭 제어부(130)로부터 입력되는 스위칭 오프 신호(OFF)에 응답해서, 상기 스위치(114)가 오프될 때 상기 제 1 클럭 신호(CLOCK1)의 발생이 중지된다.

<37> 상기 제 2 클럭 발생부(120)는 상기 제 1 클럭 발생부(110)에 의해 발생하는 제 1 클럭 신호(CLOCK1)보다 주파수가 낮은 제 2 클럭 신호(CLOCK2)를 발생한다. 예를 들어, 상기 제 1 클럭 신호(CLOCK1)의 주파수가 30MHz일 때 상기 제 2 클럭 신호(CLOCK2)의 주파수는 32KHz이다.

<38> 상기 명령어 디코더(150)는 외부로부터 입력되는 명령어(instruction)를 디코딩해서, 파워-다운(power-down) 명령어인지 파워-업(power-up) 명령어인지를 식별하고, 그에 대응하는 제어 신호들을 발생한다. 여기서, 파워-다운 명령어는 프로세서의 동작 모드를 유힬 모드(idle mode)에서 슬립 모드(sleep mode)로 전환하기 위한 명령어이고, 파워-업 모드 명령어는 프로세서의 동작 모드를 슬립 모드에서 유힬 모드로 전환하기 위한 명령어이다. 이러한 파워-다운/업 명령어들은 잘 알려진 바와 같이 인터럽트(interrupt) 등에 의해서 발생될 수 있다.

<39> 상기 클럭 선택부(140)는 상기 명령어 디코더(150)로부터 출력되는 제어 신호에 응답해서, 상기 제 1 및 제 2 클럭 신호들(CLOCK1, CLOCK2) 가운데 하나를 프로세서 클럭

신호(P_CLOCK)로 출력하기 위한 선택 신호를 출력한다. 구체적으로, 상기 명령어 디코더(150)에서 디코딩된 명령어가 파워-다운 명령어인 경우에, 상기 명령어 디코더(150)로부터 입력되는 제어 신호(1)에 응답해서 상기 제 2 클럭 신호(CLOCK)를 선택하기 위한 선택 신호(3)를 출력한 후, 클럭 변경 완료 신호(4)를 제 1 클럭 제어부(130)로 출력한다. 상기 명령어 디코더(150)에서 디코딩된 명령어가 파워-업 명령어인 경우에는, 상기 명령어 디코더(150)로부터 출력되는 제어 신호(A)와 상기 제 1 클럭 제어부(130)로부터 입력되는 제 1 클럭 파워-업 완료 신호(D)에 응답해서 상기 제 1 클럭 신호(CLOCK1)를 선택하기 위한 선택 신호(E)를 출력한다.

<40> 상기 멀티플렉서(160)는 상기 클럭 선택부(140)로부터 입력되는 선택 신호(3 또는 E)에 응답해서 상기 제 1 및 제 2 클럭 발생부들(110, 120)로부터 발생된 클럭 신호들(CLOCK1, CLOCK2) 가운데 하나를 프로세서 클럭 신호(P_CLOCK)로 출력한다.

<41> 상기 제 1 클럭 제어부(130)는 상기 명령어 디코더(150)로부터 출력되는 제어 신호에 응답해서 상기 제 1 클럭 발생부(110)를 제어하기 위한 스위칭 온/오프 제어 신호들(ON/OFF)을 발생한다. 구체적으로, 상기 명령어 디코더(150)에서 디코딩된 명령어가 파워-다운 명령어인 경우에, 상기 명령어 디코더(150)로부터 입력되는 제어 신호(2)와 상기 클럭 선택부(140)로부터 입력되는 클럭 선택 완료 신호(4)에 응답해서, 상기 제 1 클럭 발생부(110) 내의 스위치(114)를 오프시키기 위한 스위칭 오프 신호(OFF; 5)를 출력한다. 그리고, 상기 명령어 디코더(150)에서 디코딩된 명령어가 파워-업 명령어인 경우에, 상기 명령어 디코더(150)로부터 입력되는 제어 신호(B)에 응답해서 상기 제 1 클럭 발생부(110) 내의 스위치(114)를 온시키기 위한 스위칭 온 신호(ON; C)를 출력한다. 상기 제 1 클럭 제어부(130)는 상기 스위칭 온 신호(ON)를 출력한 후 카운트 동작을 개시

한다. 카운트 값이 상기 크리스탈 발진기(112)가 안정된 제 1 클럭 신호(CLOCK1)를 발생할 때까지 소요되는 크리스탈 발진기 웨이크 업 시간 값에 도달하면 제 1 클럭 웨이크-업 완료 신호(D)를 상기 클럭 선택부(140)로 출력한다.

<42> 도 3A 및 도 3B는 파워-업 명령어 및 파워-다운 명령어가 클럭 발생 회로로 입력될 때의 동작 수순을 보여주는 플로우차트이고, 도 4는 도 2에 도시된 클럭 발생 회로에서 발생하는 제 1 및 제 2 클럭 신호와 프로세서 클럭 신호를 보여주는 타이밍도이다.

<43> 우선, 도 2 및 도 3A를 참조하여, 파워 업 명령어가 입력되는 경우 클럭 발생 회로의 동작 수순이 설명된다.

<44> 외부로부터 명령어 디코더(150)로 명령어(instruction)가 입력되면(단계 S200), 명령어 디코더(150)는 입력된 명령어를 디코딩한다(단계 S210).

<45> 단계 S220에서, 상기 명령어 디코더(150)는 디코딩된 명령어가 파워-다운 명령어인지의 여부를 판별한다. 판별 결과, 디코딩된 명령어가 파워-다운 명령어이면, 그 제어는 단계 S230으로 진행한다.

<46> 단계 S230에서는, 명령어 디코더(150)가 디코딩된 파워-다운 명령어에 대응하는 제어 신호들(1, 2)을 발생한다. 단계 S240에서는, 클럭 선택부(140)가 프로세서 클럭 신호(P_CLOCK)를 제 1 클럭 신호(CLOCK1)에서 제 2 클럭 신호(CLOCK2)로 변경하기 위한 선택 신호(3)를 출력한다. 멀티플렉서(160)는 상기 클럭 선택부(140)로부터의 선택 신호(3)에 응답해서 상기 제 2 클럭 신호(CLOCK2)를 프로세서 클럭 신호(P_CLOCK)로 출력한다.

<47> 단계 S250에서는, 상기 클럭 선택부(140)가 클럭 변경 완료 신호(4)를 출력한다.

단계 S260에서는, 상기 제 1 클럭 제어부(140)가 상기 클럭 선택부(140)로부터의 클럭 변경 완료 신호(4)에 응답해서, 상기 제 1 클럭 발생부(110) 내의 스위치(114)를 오프하기 위한 스위칭 오프 신호(OFF; 5)를 출력한다. 그러므로, 상기 제 1 클럭 발생부(110)는 상기 제 1 클럭 신호(CLOCK1)의 발생을 중지한다.

<48> 상술한 바와 같은 방법에 의해서, 도 4에 도시된 바와 같이 프로세서의 동작 모드가 유틸 모드에서 슬립 모드로 변경될 때 프로세서 클럭 신호(P_CLOCK)는 메인 클럭 신호인 제 1 클럭 신호(CLOCK1)보다 주파수가 낮은 제 2 클럭 신호(CLOCK2)로 변경된다. 예를 들어, 프로세서 클럭 신호(P_CLOCK)의 주파수가 30MHz(제 1 클럭 신호)인 경우 프로세서에서 소비되는 전류가 4mA였다면, 프로세서 클럭 신호(P_CLOCK)의 주파수가 32KHz(제 2 클럭 신호)일 때 소비되는 전류는 $10\mu A$ 이하이다. 그러므로, 슬립 모드동안 프로세서에서 소비되는 전력은 현저히 감소된다. 더욱이, 프로세서의 동작 모드가 유틸 모드에서 슬립 모드로 변경될 때 프로세서 클럭 신호(P_CLOCK)가 제 1 클럭 신호(CLOCK1)에서 제 2 클럭 신호(CLOCK2)로 변경된 후 바로 제 1 클럭 신호(CLOCK1)의 발생을 중지시킬 수 있으므로 전력 소모를 더욱 더 줄일 수 있다.

<49> 상기 단계 S220에서, 디코딩된 명령어가 파워-다운 명령어가 아닌 경우, 그 제어는 도 3B에 도시된 단계 S310으로 진행한다. 단계 S310에서는, 디코딩된 명령어가 파워-업 명령어인 지의 여부를 판별한다. 판별 결과, 디코딩된 명령어가 파워-업 명령어이면 그 제어는 단계 S320으로 진행한다.

<50> 단계 S320에서, 상기 명령어 디코더(150)는 디코딩된 파워-업 명령어에 대응하는 제어 신호들(A, B)을 발생한다.

<51> 단계 S330에서, 상기 제 1 클럭 제어부(130)는 명령어 디코더(150)로부터의 제어

신호(B)에 응답해서, 상기 제 1 클럭 발생부(110) 내의 스위치(114)를 온시키기 위한 스위칭 온 신호(ON; C)를 출력한다. 그러므로, 상기 제 1 클럭 발생부(110)는 상기 제 1 클럭 신호(CLOCK1)의 발생을 재개한다.

<52> 단계 S340에서, 상기 제 1 클럭 제어부(130)는 상기 제 1 클럭 발생부(110)의 웨이크-업 시간을 카운트한다. 단계 S340에서, 상기 제 1 클럭 제어부(130)는 현재 카운트 값이 미리 설정된 웨이크-업 완료 시간에 도달했는지의 여부를 판별한다. 판별 결과, 현재 카운트 값이 미리 설정된 웨이크-업 완료 시간에 도달하지 않았으면 그 제어는 단계 S240으로 리턴하여 카운트 동작을 다시 수행하고, 도달하였으면 그 제어는 단계 S360으로 진행한다.

<53> 단계 S360에서는, 상기 제 1 클럭 제어부(130)가 제 1 클럭 웨이크-업 완료 신호(D)를 출력한다. 단계 S370에서, 상기 클럭 선택부(140)는 상기 제 1 클럭 제어부(130)로부터의 제 1 클럭 웨이크-업 완료 신호(D)에 응답해서, 프로세서 클럭 신호(P_CLOCK)를 제 2 클럭 신호(CLOCK2)에서 제 1 클럭 신호(CLOCK1)로 변경하기 위한 선택 신호(E)를 출력한다. 멀티플렉서(160)는 상기 클럭 선택부(140)로부터의 선택 신호(E)에 응답해서 상기 제 1 클럭 신호(CLOCK1)를 프로세서 클럭 신호(P_CLOCK)로 출력한다.

<54> 이와 같이, 프로세서의 동작 모드가 슬립 모드에서 유휴 모드로 변경될 때 프로세서 클럭 신호는 제 2 클럭 신호(CLOCK2)에서 메인 클럭 신호인 제 1 클럭 신호(CLOCK1)로 변경된다. 프로세서 클럭 신호가 변경되는데 소요되는 시간 즉, 파워-업 소요 시간은 단지 제 1 클럭 발생부(110)가 안정된 제 1 클럭 신호(CLOCK1)를 출력하는데 까지 소요되는 제 1 클럭 웨이크-업 시간이 된다.

<55> 이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도

시하였지만 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<56> 이상과 같은 본 발명에 의하면, CDMA 모뎀 칩 내에 구비되는 프로세서의 동작 모드가 슬립 모드일 때 소모되는 전력을 최소화할 수 있다. 더욱이, 프로세서의 동작 모드가 유휴 모드에서 슬립 모드로 변경될 때, 단일 명령어(파워-다운 명령어)를 이용하여 프로세서 클럭 신호를 낮은 주파수의 클럭 신호로 변경한 후 높은 주파수의 클럭 신호의 발생을 중지시킬 수 있으므로 전력 소모를 더욱 감소시킬 수 있다. 또한, 프로세서의 동작 모드가 슬립 모드에서 유휴 모드로 변경될 때, 단일 명령어(파워-업 명령어)로 프로세서의 클럭 신호를 메인 클럭 신호로 변경할 수 있고, 이 때 소요되는 시간은 단지 제 1 클럭 발생부가 안정된 메인 클럭 신호를 출력하는데 까지 소요되는 시간이므로 프로세서의 성능(performance)이 현저히 낮아지는 문제점이 발생되지 않는다.

【특허청구범위】**【청구항 1】**

모뎀 칩 내에 구비되는 프로세서용 클럭 신호를 발생하는 회로에 있어서:

인에이블 및 디세이블 신호들에 응답해서, 제 1 클럭 신호를 발생하는 제 1 클럭 발생 수단과;

상기 제 1 클럭 신호보다 주파수가 낮은 제 2 클럭 신호를 발생하는 제 2 클럭 발생 수단과;

외부로부터 입력되는 명령어를 디코딩해서 파워-다운 명령어인지 파워-업 명령어인지를 식별하고, 제어 신호들을 발생하는 디코더와;

상기 명령어가 파워-다운 명령어인 경우에, 상기 디코더로부터 출력되는 제어 신호에 응답해서 상기 제 2 클럭 신호를 프로세서 클럭 신호로 출력한 후 클럭 변경 완료 신호를 출력하고, 상기 명령어가 파워-업 명령어인 경우에, 상기 디코더로부터 출력되는 제어 신호와 제 1 클럭 웨이크-업 완료 신호에 응답해서 상기 제 1 클럭 신호를 상기 프로세서 클럭 신호로 출력하는 클럭 선택 수단; 그리고

상기 명령어가 파워-다운 명령어인 경우에, 상기 디코더로부터 출력되는 제어 신호와 상기 클럭 선택 수단으로부터 출력되는 클럭 변경 완료 신호에 응답해서 상기 제 1 클럭 발생 수단의 클럭 발생을 비활성화시키기 위한 상기 디세이블 신호를 출력하고, 그리고 상기 명령어가 파워-업 명령어인 경우에, 상기 디코더로부터 출력되는 제어 신호에 응답해서 상기 제 1 클럭 발생 수단의 클럭 발생을 활성화시키기 위한 상기 인에이블 신호를 출력한 후 소정 시간이 경과되면 상기 제 1 클럭 웨이크-업 완료 신호를 출력하

는 제 1 클럭 제어 수단을 포함하는 것을 특징으로 하는 저전력 소모 모뎀 칩 설계를 위한 프로세서 클럭 발생 회로.

【청구항 2】

제 1 항에 있어서,

상기 제 1 클럭 발생 수단은,

상기 제 1 클럭 신호를 발생하는 발진기; 및

상기 인에이블 및 디세이블 신호들에 응답해서 상기 발진기의 동작을 활성화/비활성화시키는 스위치를 포함하는 것을 특징으로 하는 저전력 소모 모뎀 칩 설계를 위한 프로세서 클럭 발생 회로.

【청구항 3】

제 2 항에 있어서,

상기 제 1 클럭 제어 수단은,

상기 명령어가 파워-업 명령어인 경우에, 상기 제 1 클럭 발생 수단의 클럭 발생을 인에이블하기 위한 상기 인에이블 신호를 출력한 후, 상기 발진 회로가 안정된 제 1 클럭 신호를 출력할 때까지 소요되는 발진 회로 웨이크-업 시간이 경과되면 상기 제 1 클럭 웨이크-업 완료 신호를 출력하는 것을 특징으로 하는 저전력 소모 모뎀 칩 설계를 위한 프로세서 클럭 발생 회로.

【청구항 4】

제 1 항에 있어서,

상기 클럭 선택 수단은,

상기 디코더로부터 출력되는 제어 신호에 응답해서, 상기 명령어가 파워-다운 명령어인 경우에 상기 제 2 클럭 신호를 선택하고, 상기 파워-업 명령어인 경우에 상기 제 1 클럭 신호를 선택하기 위한 선택 신호를 출력하는 클럭 선택 신호 발생 수단; 및

상기 선택 신호에 응답해서 상기 제 1 및 제 2 클럭 신호들 가운데 하나를 상기 프로세서 클럭 신호로 출력하는 멀티플렉서를 포함하는 것을 특징으로 하는 저전력 소모 모드 칩 설계를 위한 프로세서 클럭 발생 회로.

【청구항 5】

제 1 항에 있어서,

상기 디코더, 클럭 선택 수단, 및 제 1 클럭 제어 수단은 상기 프로세서 내에 원칩으로 구성되는 것을 특징으로 하는 저전력 소모 모드 칩 설계를 위한 프로세서 클럭 발생 회로.

【청구항 6】

제 1 항에 있어서,

상기 모드 칩은 CDMA(code division multiple access)용 모드 칩인 것을 특징으로 하는 저전력 소모 모드 칩 설계를 위한 프로세서 클럭 발생 회로.

【청구항 7】

제 1 클럭 신호를 발생하는 제 1 클럭 발생기와 상기 제 1 클럭 신호보다 주파수가 낮은 제 2 클럭 신호를 발생하는 제 2 클럭 발생기를 포함하는 모드 칩 내에 구비된 프로세서용 클럭 신호를 발생하는 방법에 있어서:

외부로부터 입력되는 명령어를 디코딩해서 파워-다운 명령어인지 파워-업 명령어인지의 여부를 판별하는 단계와;

상기 판별 단계에서 상기 명령어가 파워-다운 명령어로 판별된 경우,
프로세서로 제공되는 클럭 신호를 상기 제 2 클럭 신호로 선택하는 단계와;
클럭 변경 완료 신호를 발생하는 단계; 및

상기 1 클럭 신호의 발생이 중지되도록 상기 제 1 클럭 발생기를 제어하는 단계와;

상기 판별 단계에서 상기 명령어가 파워-업 명령어로 판별된 경우,
상기 제 1 클럭 신호의 발생이 재개되도록 상기 제 1 클럭 발생기를 제어하는 단계와;
상기 제 1 클럭 발생기의 웨이크-업 시간을 카운트하는 단계와;
상기 웨이크-업 카운트 값이 미리 설정된 웨이크-업 완료 시간 값에 도달하였는지의 여부를 판별하는 단계와;

상기 웨이크-업 카운트 값이 미리 설정된 웨이크-업 완료 시간 값에 도달하지 않은 경우, 상기 카운트 단계를 반복하는 단계; 및

상기 웨이크-업 카운트 값이 미리 설정된 웨이크-업 완료 시간 값에 도달한 경우, 상기 프로세서로 제공되는 클럭 신호를 상기 제 1 클럭 신호로 선택하는 단계;

를 포함하는 것을 특징으로 하는 저전력 소모 모뎀 칩 설계를 위한 프로세서 클럭 발생 방법.

【청구항 8】

제 7 항에 있어서,

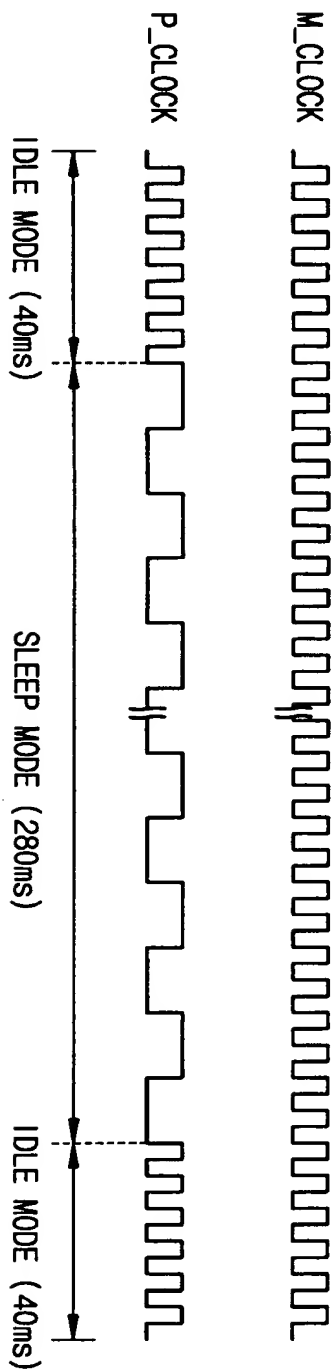
상기 웨이크-업 완료 시간은, 상기 제 1 클럭 발생기가 안정된 제 1 클럭 신호를

출력할 때까지 소요되는 시간인 것을 특징으로 하는 저전력 소모 모뎀 칩 설계를 위한
프로세서 클럭 발생 회로.

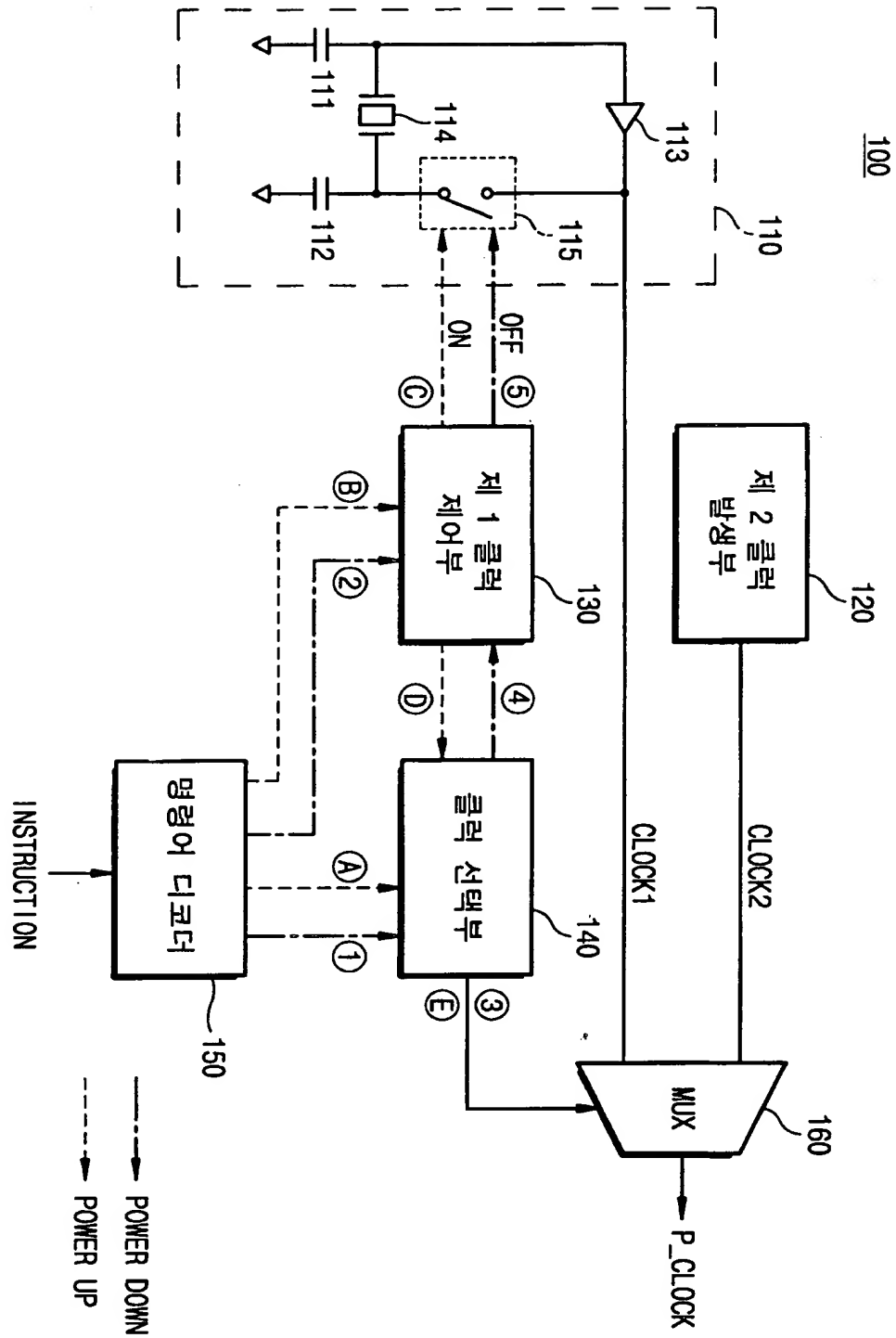
【도면】

(종래 기술)

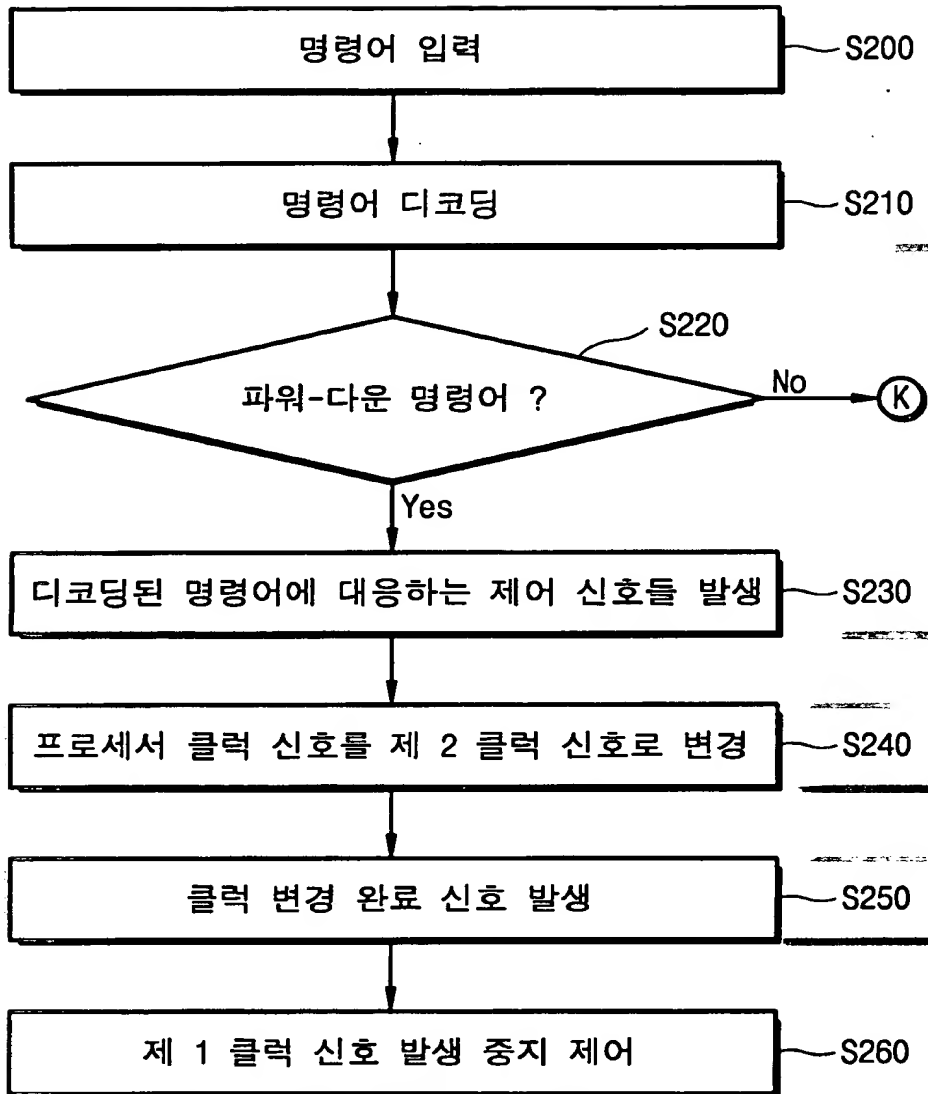
【화 1】



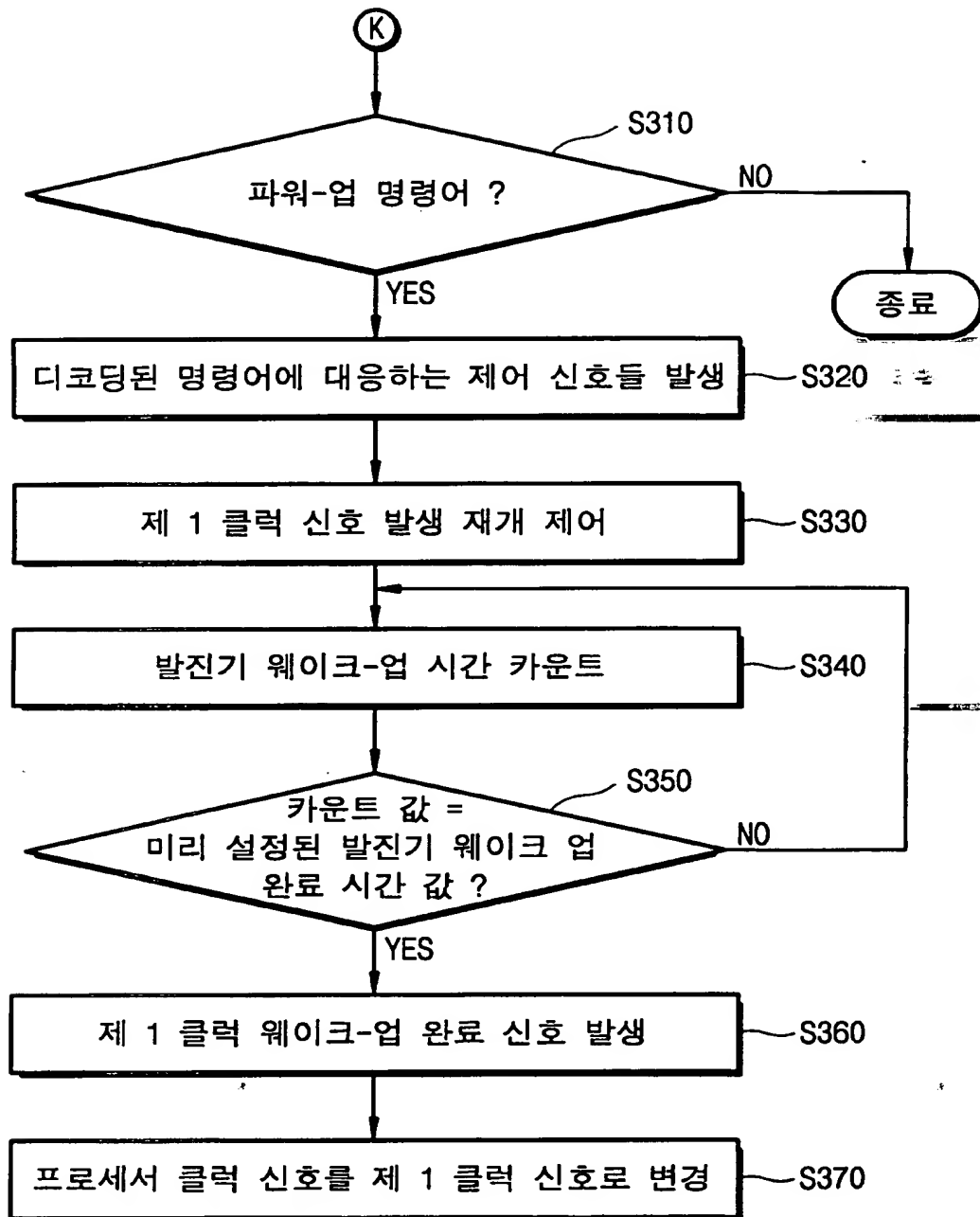
【도 2】



【도 3a】



【도 3b】



【图 4】

